

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217387

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

G01B 11/00

(21)Application number : 2000-026689

(71)Applicant : ROHM CO LTD

(22)Date of filing : 03.02.2000

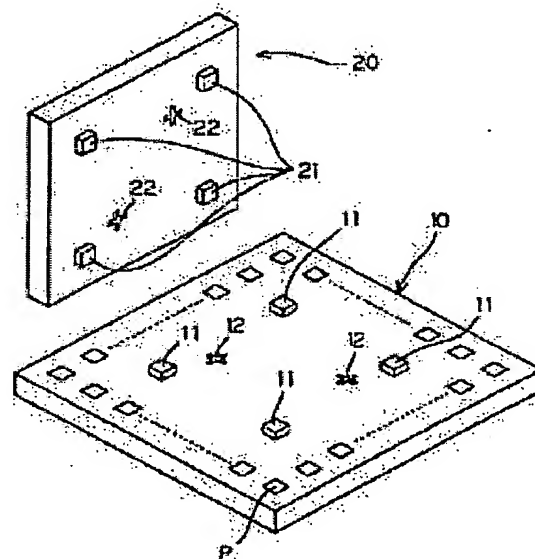
(72)Inventor : KIBUNE TAKASHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an accurate alignment between a solid device and a semiconductor chip.

SOLUTION: Alignment marks 12 and 22 are given on surfaces of parent and child chips 10 and 20 so that, when the child chip 20 is correctly joined to the parent chip 10, the marks are positioned as opposed to each other. In alignment of the parent and child chips 10 and 20, the surfaces of the chips 10 and 20 are photographed to obtain images and the images are processed to thereby detect positions of the marks 12 and 22. And on the basis of its detection result, a position of the parent chip 10 to the child chip 20 is adjusted so that the marks 12 and 22 are opposed to each other.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A semiconductor device which is a semiconductor device which has the structure which joined a solid state device and a semiconductor chip in the state where the surfaces were made to counter, and is characterized by being arranged at a position to which a mark for alignment corresponds to the surface of said solid state device and a semiconductor chip mutually, respectively.

[Claim 2]The semiconductor device according to claim 1, wherein said mutually corresponding position is a position which counters each other when said solid state device and said semiconductor chip are joined correctly.

[Claim 3]A method characterized by comprising the following of manufacturing a semiconductor device which has the structure which joined a solid state device and a semiconductor chip in the state where the surfaces were made to counter.

A process of arranging a mark for alignment, respectively in a prescribed position on the surface of said solid state device, and a position on the surface of said semiconductor chip corresponding to this prescribed position.

An alignment process which performs relative alignment of said solid state device and said semiconductor chip based on a mark for alignment arranged on the surface of said solid state device and a semiconductor chip, respectively on the occasion of junction of said solid state device and a semiconductor chip.

[Claim 4]An arrangement process arranged in the state where a manufacturing method of said semiconductor device made the surfaces counter before said alignment process in a position in which only a prescribed interval left said solid state device and semiconductor chip of each other, The surface of said solid state device arranged at a position which left only a prescribed interval mutually, and a semiconductor chip by this arrangement process, including further an imaging step picturized by an imaging means in said alignment process. A manufacturing method of the semiconductor device according to claim 3 characterized by performing relative alignment of said solid state device and said semiconductor chip based on an image of a mark for alignment picturized in said imaging step.

[Claim 5]Said imaging means is provided with the 1st and 2nd lenses arranged on the same optic axis, A manufacturing method of the semiconductor device according to claim 4 being what currently can picturize the surface of said solid state device via said 1st lens, and can picturize the surface of said semiconductor chip via said 2nd lens.

[Translation done.]

* NOTICES *

Best Available Copy

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the manufacturing method of the semiconductor device which has the structure which joined the semiconductor chip to the surface of solid state devices, such as another semiconductor chip and a wiring board, and such a semiconductor device.

[0002]

[Description of the Prior Art]For example, in the semiconductor device of a chip structure on chip. In the state of facedown one two or more metal electrode portions called a vamp are formed in the surface of a parent chip and a child chip, and the surface of the child chip was made to counter on the surface of a parent chip, By combining the vamp currently formed on the surface of the child chip with the vamp currently formed on the surface of the parent chip, the mechanical and electric connection between a parent chip and a child chip is attained.

[0003]Therefore, in the semiconductor device of such a structure, when the joint position of a parent chip and a child chip has shifted, the vamp of a parent chip and the vamp of a child chip do not join together well, but there is a possibility of producing which faulty connection with poor electric conduction between a parent chip and a child chip. Therefore, on the occasion of junction to a parent chip and a child chip, relative alignment (alignment) of a parent chip and a child chip is performed.

[0004]

[Problem(s) to be Solved by the Invention]Alignment with this parent chip and child chip, For example, where it turned the parent chip on the justification stand and the surface is turned upwards, while arranging, After arranging a child chip in the state where the surface was turned downward in the regulation position above a justification stand, the relative position of the parent chip to a child chip is searched for, and it is attained by adjusting the position of the parent chip to a child chip based on this. The relative position of the parent chip to a child chip can be searched for by reading the surface of a parent chip with a CCD camera etc., performing Image Processing Division for example, and detecting the position of two specific pads among the pads for external connection currently formed on the surface of the parent chip.

[0005]However, since all the pads for external connection currently formed on the surface of the parent chip are the same shape, they erroneous-recognition-have a possibility of detecting the position of the pad, by using pads other than the above-mentioned specific pad as a specific pad. In this case, since the relative position of the parent chip to a child chip cannot be searched for correctly, a parent chip and a child chip cannot be aligned with sufficient accuracy. Then, the purpose of this invention is to provide the semiconductor device which solves above-mentioned technical problem and can align a solid state device and a semiconductor chip with sufficient accuracy.

[0006]Other purposes of this invention are to provide the method of manufacturing the semiconductor device with which the solid state device and the semiconductor chip were aligned with sufficient accuracy.

[0007]

[The means for solving a technical problem and an effect of the invention] The invention according to claim 1 for attaining the above-mentioned purpose, It is a semiconductor device which has the structure which joined the solid state device and the semiconductor chip in the state where the surfaces were made to counter, and is the semiconductor device arranging at the position to which the mark for alignment corresponds to the surface of said solid state device and a semiconductor chip mutually, respectively.

[0008]Said solid state devices may be other semiconductor chips, and may be a leadframe, a wiring board, etc., for example. According to this invention, the mark for alignment is arranged at the position which corresponds to the surface of a solid state device and a semiconductor chip mutually, respectively.

Therefore, when joining a solid state device and a semiconductor chip. So that the mark for alignment arranged on the surface of a solid state device and the mark for alignment arranged on the surface of a semiconductor chip may make position relations, By adjusting the relative position of a solid state device and a semiconductor chip, a solid state device and a semiconductor chip can be aligned with sufficient accuracy.

[0009]It is [like] preferred that said mutually corresponding position is a position which counters each other when [according to claim 2] said solid state device and said semiconductor chip are joined correctly. In this case, so that a mark for alignment arranged on the surface of a solid state device and a mark for alignment arranged on the surface of a semiconductor chip may counter each other, By adjusting a relative position of a solid state device and a semiconductor chip, a solid state device and a semiconductor chip can be aligned with sufficient accuracy.

[0010]The invention according to claim 3 is the method of manufacturing a semiconductor device which has the structure which joined a solid state device and a semiconductor chip in the state where the surfaces were made to counter, A process of arranging a mark for alignment, respectively in a prescribed position on the surface of said solid state device, and a position on the surface of said semiconductor chip corresponding to this prescribed position, Based on a mark for alignment arranged on the surface of said solid state device and a semiconductor chip on the occasion of junction of said solid state device and a semiconductor chip, respectively, It is a manufacturing method of a semiconductor device including an alignment process which performs relative alignment (alignment) of said solid state device and said semiconductor chip.

[0011]According to this invention, an effect described in relation to Claim 1 and same effect can be done so, and a semiconductor device with which a solid state device and a semiconductor chip were aligned with sufficient accuracy can be manufactured. To Claim 4, like a description a manufacturing method of said semiconductor device, An arrangement process arranged in the state where the surfaces were made to counter before said alignment process in a position in which only a prescribed interval left said solid state device and semiconductor chip of each other, The surface of said solid state device arranged at a position which left only a prescribed interval mutually, and a semiconductor chip by this arrangement process, including further an imaging step picturized by an imaging means in said alignment process. It is preferred that relative alignment of said solid state device and said semiconductor chip is performed based on an image of a mark for alignment picturized in said imaging step.

[0012]It has the 1st and 2nd lenses according to claim 5 arranged on an optic axis with said same imaging means like, It is preferred that it is what can picturize the surface of said solid state device via said 1st lens, and can picturize the surface of said semiconductor chip via said 2nd lens. For example, the surface of a solid state device and the surface of a semiconductor chip are picturized by a separate imaging means, When alignment with a solid state device and a semiconductor chip is performed based on an image of a mark for alignment obtained by this, When there is a gap in a lens position of an imaging means which picturized the surface of a solid state device, and a lens position of an imaging means which picturized the surface of a semiconductor chip, alignment with a solid state device and a semiconductor chip has a possibility of producing an error, for this gap. On the other hand, since the 1st and 2nd lenses are arranged on the same optic axis when the composition according to claim 5 is adopted, there is no possibility of producing an alignment error resulting from a position gap of a lens, and accuracy of alignment with a solid state device and a semiconductor chip can be raised further.

[0013]
[Embodiment of the Invention]Below, this embodiment of the invention is described in detail with reference to an accompanying drawing. Drawing 1 is an exploded perspective view of the semiconductor device concerning one embodiment of this invention. This semiconductor device has a chip structure on chip which joined the child chip 20 (semiconductor chip) to the surface of the parent chip 10 (solid state device) in the state of facedown one that surface was made to counter. The parent chip 10 and the child chip 20 all consist of silicon chips, for example, and functional devices, such as a transistor, resistance, a capacitor, wiring, etc. are formed in each surface.

[0014]The outside [in / for example / in the parent chip 10 / plane view] is greatly formed a little rather than the child chip 20. The outermost surface of the parent chip 10 is covered by the protective film which consists of nitrides etc., for example, and two or more pads P for external connection have exposed it from this protective film. The junction area of the child chip 20 is set to the field of the inner direction of the surface of the parent chip 10, and two or more vamps 11 which consist of a metallic material which has golden oxidation resistance, for example are upheaved and formed in this junction area.

[0015]On the other hand, the outermost surface of the child chip 20 is also covered by the protective film

which consists of nitrides etc., for example. On this protective film, two or more vamps 21 which become a position corresponding to the vamp 11 of the parent chip 10 from the metallic material which has golden oxidation resistance, for example are formed. Where a prescribed interval is held on the parent chip 10 by combining these vamps 21 with the vamp 11 of the parent chip 10 corresponding, respectively, while the child chip 20 is supported, the electrical connection of the parent chip 10 and the child chip 20 is attained. [0016] It is formed in the position to which the marks 12 and 22 for alignment correspond to the surface of the parent chip 10 and the child chip 20 mutually, respectively. The two marks 12 and 22 for alignment are formed at a time, and when the joint position set as the parent chip 10 is made to join the child chip 20 correctly, they are arranged at the position which marks counter for each other, for example. As for the marks 12 and 22 for alignment, it is preferred to be formed with the respectively same material as the vamps 11 and 21, and they can form the vamps 11 and 21 and the marks 12 and 22 for alignment at the same process by carrying out like this.

[0017] As for the marks 12 and 22 for alignment, it is preferred to be detached and arranged on the diagonal line of the parent chip 10 and the child chip 20, respectively, and they can align the parent chip 10 and the child chip 20 with more sufficient accuracy in the alignment process mentioned later by carrying out like this. The marks 12 and 22 for alignment should just be the shape which may be distinguished clearly from the pad P, and can also adopt "-" (a point or a round mark) other than the "+" form (cross shape) as shown in drawing 1, for example. As for the marks 12 and 22 for alignment, it may be preferred that it is a mark which has directivity at least, such as the "L" form (L type) and the "T" form (T type), and when the mark of such shape is adopted, the marks 12 and 22 for alignment may be one piece, respectively.

[0018] When two or more marks 12 and 22 for alignment are formed every, two or more marks 12 for alignment do not need to be marks of identical shape altogether, and two or more marks 22 for alignment do not need to be marks of identical shape altogether further again. Drawing 2 is a schematic side view for explaining the joining process of the parent chip 10 and the child chip 20. In the joining process of the parent chip 10 and the child chip 20, as first shown in drawing 2 (a), while the parent chip 10 is set on the justification stand 30 by the state where the surface was turned upwards, the child chip 20 is conveyed above the parent chip 10 by the adsorption hand 40. The justification stand 30 is constituted so that the position of the parent chip 10 set to the upper surface can be finely tuned in the xy direction (the direction of front and rear, right and left in drawing 2), and the direction (hand of cut of the circumference of a vertical line) of theta. The child chip 20 which adsorbs the rear face of the child chip 20, can hold it by the absorbing holes (not shown) formed in the apical surface (lower end surface), and is conveyed by this adsorption hand 40 is the upper part of the justification stand 30, and it changes the adsorption hand 40 into the state where the surface of the parent chip 10 was countered in that surface.

[0019] Then, the surface of the parent chip 10 and the child chip 20 is simultaneously inserted in the imaging device 50 which can be picturized by the parent chip 10 set on the justification stand 30, and the adsorption hand 40 between the child chips 20 by which adsorption maintenance was carried out. The composition of this imaging device 50 is schematically shown in drawing 3. That is, the imaging device 50 is equipped with the optical system accommodation case 51, and the camera 52U for an upper part image pick-up and the camera 52B for a lower part image pick-up which were combined with this optical system accommodation case 51. The optical system accommodation case 51 is mostly formed in rectangular parallelepiped shape, and is arranged on the same optic-axis line C by which the surfaces 51a and 51b of the couple which counters mutually, and the lenses 53 and 54 cross at right angles on the surfaces 51a and 51b, respectively. The light L1 which entered into the lens 53 arranged on the surface (upper surface) 51a, After [the double sided mirror 55] being reflected on the other hand in a field and bending an optical path about 90 degrees, the mirror 57 is reached through the lens 56 and it enters into the camera 52U for an upper part image pick-up by bending an optical path further by this mirror 57. The light L2 which entered into the lens 54 arranged on the surface (undersurface) 51b on the other hand, After being reflected in respect of another side of the double sided mirror 55 and bending an optical path to the light L2 and an opposite direction, the mirror 59 is reached through the lens 58 and it enters into the camera 52B for a lower part image pick-up by bending an optical path further by this mirror 59.

[0020] So that the upper surface 51a of the optical system accommodation case 51 may counter the surface of the child chip 20 and the undersurface 51b of the optical system accommodation case 51 may counter the surface of the parent chip 10 by this composition, By inserting the imaging device 50 between the parent chip 10 and the child chip 20, the surface of the parent chip 10 and the child chip 20 can be picturized simultaneously. Subsequently, Image Processing Division of the image of the surface of the parent chip 10 and the child chip 20 which are obtained in this way is carried out, and the position of the mark 22 for alignment arranged on the surface of the mark 12 for alignment arranged on the surface of the

parent chip 10 and the child chip 20 is detected. And the justification stand 30 is controlled based on the detection result, and alignment with the parent chip 10 and the child chip 20 is attained by adjusting the position of the parent chip 10 to the child chip 20 so that the mark 12 for alignment and the mark 22 for alignment may counter each other.

[0021]In this way, after the parent chip 10 and the child chip 20 are aligned, as shown in drawing 2 (b), The adsorption hand 40 descends, the vamp 21 of the child chip 20 is compared by the vamp 11 of the parent chip 10, and the parent chip 10 and the child chip 20 are joined by pushing the child chip 20 towards the parent chip 10 further. The process which makes the child chip 20 approach the parent chip 10 may be performed simultaneously with this alignment, although it may be carried out after the alignment of the parent chip 10 and the child chip 20.

[0022]According to this embodiment, it is arranged as mentioned above at the position which counters the surface of the parent chip 10 and the child chip 20 for each other, respectively when the marks 12 and 22 for alignment join the child chip 20 to the parent chip 10 correctly. Therefore, the parent chip 10 and the child chip 20 can be aligned with sufficient accuracy by adjusting the position of the parent chip 10 to the child chip 20 so that the mark 12 for alignment and the mark 22 for alignment may counter each other.

[0023]The surface of the parent chip 10 and the surface of the child chip 20 are picturized with a separate imaging device, Based on the image of the marks 12 and 22 for alignment obtained by this, When performing alignment with the parent chip 10 and the child chip 20 and there is a gap in the lens position of the imaging device which picturized the surface of the parent chip 10, and the lens position of the imaging device which picturized the surface of the child chip 20, for this gap, Alignment with the parent chip 10 and the child chip 20 has a possibility of producing an error. On the other hand, since the lenses 53 and 54 of the imaging device 50 are arranged on the same optic axis C according to this embodiment, there is no possibility of producing the alignment error resulting from a position gap of a lens, and the parent chip 10 and the child chip 20 can be aligned with more sufficient accuracy.

[0024]Although explanation of this embodiment of the invention is as above, this invention can also be carried out with other gestalten. For example, although the position of the parent chip 10 to the child chip 20 was adjusted and it presupposed that alignment with the parent chip 10 and the child chip 20 is attained in the above-mentioned embodiment, By adjusting the position of the child chip 20 to the parent chip 10, alignment with the parent chip 10 and the child chip 20 may be attained.

[0025]In an above-mentioned embodiment, although a chip structure on chip was taken up, this invention is applicable also to the flip-chip-bonding structure which the surface of a semiconductor chip is made to counter a wiring board (solid state device), and is joined. In addition, it is possible to perform various design variations in the range of the matter indicated to Claims.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is an exploded perspective view of the semiconductor device concerning one embodiment of this invention.

[Drawing 2]It is a schematic side view for explaining the joining process of a parent chip and a child chip.

[Drawing 3]It is a figure showing the composition of an imaging device schematically.

[Description of Notations]

10 Parent chip (solid state device)

12 The mark for alignment

20 Child chip (semiconductor chip)

22 The mark for alignment

50 Imaging device (imaging means)

53 Lens

54 Lens

C Optic axis

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-217387
(P2001-217387A)

(43) 公開日 平成13年 8 月10日 (2001.8.10)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 25/065		G 0 1 B 11/00	H 2 F 0 6 5
25/07		H 0 1 L 25/08	B
25/18			
G 0 1 B 11/00			

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-26689(P2000-26689)

(22) 出願日 平成12年 2 月 3 日 (2000.2.3)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 木船 貴

京都市右京区西院溝崎町21番地 ローム株式会社社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外 2 名)

Fターム(参考) 2F065 AA20 BB05 BB27 CC26 FF04

JJ03 JJ05 JJ09 JJ19 JJ26

LL04 LL12 NN20 PP01 PP11

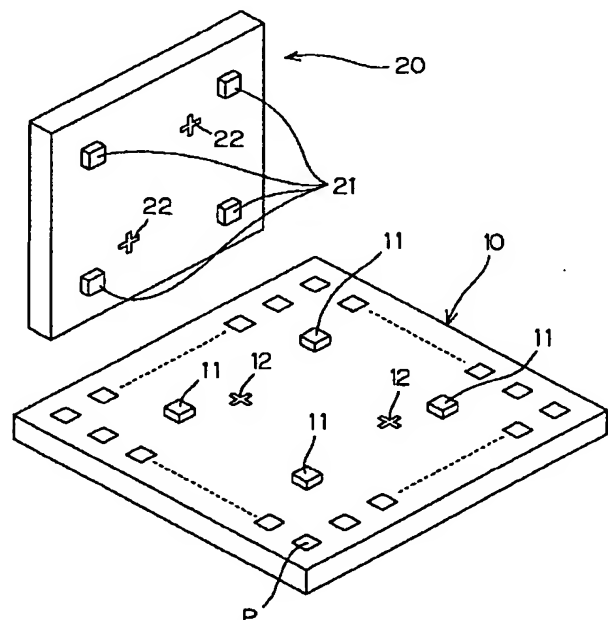
PP12 PP13 TT01 TT02

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 固体装置と半導体チップとを精度良くアライメントする。

【解決手段】 親チップ10および子チップ20の表面には、それぞれアライメント用マーク12、22が、子チップ20を親チップ10に正しく接合させたときに互いに対向し合う位置に配置されている。親チップ10と子チップ20とのアライメントに際しては、親チップ10および子チップ20の表面が撮像されて画像処理が行われることにより、アライメント用マーク12、22の位置が検出される。そして、その検出結果に基づいて、アライメント用マーク12とアライメント用マーク22とが対向し合うように、子チップ20に対する親チップ10の位置が調整される。



【特許請求の範囲】

【請求項 1】 固体装置および半導体チップを、その表面同士を対向させた状態で接合した構造を有する半導体装置であって、

前記固体装置および半導体チップの表面には、それぞれアライメント用マークが互いに対応する位置に配置されていることを特徴とする半導体装置。

【請求項 2】 前記互いに対応する位置とは、前記固体装置と前記半導体チップとが正しく接合されたときに対向し合う位置であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 固体装置および半導体チップを、その表面同士を対向させた状態で接合した構造を有する半導体装置を製造する方法であって、

前記固体装置の表面上の所定位置およびこの所定位置に対応する前記半導体チップの表面上の位置に、それぞれアライメント用マークを配置する工程と、

前記固体装置および半導体チップの接合に際して、前記固体装置および半導体チップの表面にそれぞれ配置されているアライメント用マークに基づき、前記固体装置と前記半導体チップとの相対的な位置合わせを行うアライメント工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記半導体装置の製造方法は、前記アライメント工程の前に、前記固体装置および半導体チップを、互いに所定間隔だけ離れた位置において表面同士を対向させた状態で配置する配置工程と、この配置工程で互いに所定間隔だけ離れた位置に配置された前記固体装置および半導体チップの表面を撮像手段で撮像する撮像工程とをさらに含み、

前記アライメント工程では、前記撮像工程において撮像されたアライメント用マークの像に基づいて、前記固体装置と前記半導体チップとの相対的な位置合わせが行われることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記撮像手段は、同一の光軸上に配置された第 1 および第 2 のレンズを備え、前記第 1 のレンズを介して前記固体装置の表面を撮像することができ、前記第 2 のレンズを介して前記半導体チップの表面を撮像することができるものであることを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、半導体チップを別の半導体チップや配線基板などの固体装置の表面に接合した構造を有する半導体装置、およびこのような半導体装置の製造方法に関する。

【0002】

【従来の技術】 たとえば、チップ・オン・チップ構造の半導体装置では、親チップおよび子チップの表面にバン

プと呼ばれる金属電極部が複数形成されていて、子チップの表面を親チップの表面に対向させたフェースダウン状態で、子チップの表面に形成されている bumps を親チップの表面に形成されている bumps に結合させることにより、親チップおよび子チップ間の機械的および電気的な接続が達成されるようになっている。

【0003】 したがって、このような構造の半導体装置では、親チップと子チップとの接合位置がずれていると、親チップの bumps と子チップの bumps とが上手く結合せず、親チップおよび子チップ間の電気導通不良などの接続不良を生じるおそれがある。そのため、親チップと子チップとの接合に際して、親チップと子チップとの相対的な位置合わせ（アライメント）が行われる。

【0004】

【発明が解決しようとする課題】 この親チップと子チップとのアライメントは、たとえば、位置調整台上に親チップを表面を上に向けた状態で配置するとともに、位置調整台の上方の規定位置に子チップを表面を下に向けた状態に配置した後、子チップに対する親チップの相対的な位置を求め、これに基づいて子チップに対する親チップの位置を調整することにより達成される。また、子チップに対する親チップの相対的な位置は、たとえば、親チップの表面を CCD カメラなどで読み取って画像処理を行い、親チップの表面に形成されている外部接続用のパッドのうち、たとえば 2 個の特定のパッドの位置を検出することにより求めることができる。

【0005】 ところが、親チップの表面に形成されている外部接続用パッドはすべて同様な形状であるから、上記特定のパッド以外のパッドを特定のパッドと誤認識して、そのパッドの位置を検出してしまうおそれがある。この場合、子チップに対する親チップの相対的な位置を正確に求めることができないので、親チップと子チップとを精度良くアライメントすることができない。そこで、この発明の目的は、上述の技術的課題を解決し、固体装置と半導体チップとを精度良くアライメントできる半導体装置を提供することである。

【0006】 また、この発明の他の目的は、固体装置と半導体チップとが精度良くアライメントされた半導体装置を製造する方法を提供することである。

【0007】

【課題を解決するための手段および発明の効果】 上記の目的を達成するための請求項 1 記載の発明は、固体装置および半導体チップを、その表面同士を対向させた状態で接合した構造を有する半導体装置であって、前記固体装置および半導体チップの表面には、それぞれアライメント用マークが互いに対応する位置に配置されていることを特徴とする半導体装置である。

【0008】 前記固体装置は、他の半導体チップであってもよいし、たとえばリードフレームや配線基板などであってもよい。この発明によれば、固体装置および半導

体チップの表面には、それぞれ互に対応する位置にアライメント用マークが配置されている。したがって、固体装置と半導体チップとを接合する際には、固体装置の表面に配置されたアライメント用マークと半導体チップの表面に配置されたアライメント用マークとが所定の位置関係をなすように、固体装置と半導体チップとの相対位置を調整することにより、固体装置と半導体チップとを精度良くアライメントすることができる。

【0009】なお、請求項2に記載のように、前記互に対応する位置とは、前記固体装置と前記半導体チップとが正しく接合されたときに対向し合う位置であることが好ましい。この場合、固体装置の表面に配置されているアライメント用マークと半導体チップの表面に配置されているアライメント用マークとが対向し合うように、固体装置と半導体チップとの相対位置を調整することにより、固体装置と半導体チップとを精度良くアライメントすることができる。

【0010】請求項3記載の発明は、固体装置および半導体チップを、その表面同士を対向させた状態で接合した構造を有する半導体装置を製造する方法であって、前記固体装置の表面上の所定位置およびこの所定位置に対応する前記半導体チップの表面上の位置に、それぞれアライメント用マークを配置する工程と、前記固体装置および半導体チップの接合に際して、前記固体装置および半導体チップの表面にそれぞれ配置されているアライメント用マークに基づき、前記固体装置と前記半導体チップとの相対的な位置合わせ（アライメント）を行うアライメント工程とを含むことを特徴とする半導体装置の製造方法である。

【0011】この発明によれば、請求項1に関連して述べた効果と同様な効果を奏することができ、固体装置と半導体チップとが精度良くアライメントされた半導体装置を製造することができる。なお、請求項4に記載のように、前記半導体装置の製造方法は、前記アライメント工程の前に、前記固体装置および半導体チップを、互いに所定間隔だけ離れた位置において表面同士を対向させた状態に配置する配置工程と、この配置工程で互いに所定間隔だけ離れた位置に配置された前記固体装置および半導体チップの表面を撮像手段で撮像する撮像工程とをさらに含み、前記アライメント工程では、前記撮像工程において撮像されたアライメント用マークの像に基づいて、前記固体装置と前記半導体チップとの相対的な位置合わせが行われることが好ましい。

【0012】請求項5に記載のように、前記撮像手段は、同一の光軸上に配置された第1および第2のレンズを備え、前記第1のレンズを介して前記固体装置の表面を撮像することができ、前記第2のレンズを介して前記半導体チップの表面を撮像することができるものであることが好ましい。たとえば、固体装置の表面と半導体チップの表面とを別々の撮像手段で撮像し、これにより得

られるアライメント用マークの像に基づいて、固体装置と半導体チップとのアライメントを行う場合、固体装置の表面を撮像した撮像手段のレンズ位置と半導体チップの表面を撮像した撮像手段のレンズ位置とにずれがあると、このずれのために、固体装置と半導体チップとのアライメントに誤差を生じるおそれがある。これに対し、請求項5記載の構成が採用された場合、第1および第2のレンズが同一の光軸上に配置されているので、レンズの位置ずれに起因したアライメント誤差を生じるおそれがなく、固体装置と半導体チップとのアライメントの精度を一層向上させることができる。

【0013】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の分解斜視図である。この半導体装置は、親チップ10（固体装置）の表面に、子チップ20（半導体チップ）を、その表面を対向させたフェースダウン状態で接合したチップ・オン・チップ構造を有している。親チップ10および子チップ20は、いずれも、たとえばシリコンチップからなり、それぞれの表面には、トランジスタや抵抗、コンデンサなどの機能素子および配線などが形成されている。

【0014】親チップ10は、たとえば、平面視における外形が子チップ20よりも若干大きく形成されている。親チップ10の最表面は、たとえば窒化膜などからなる保護膜で覆われており、この保護膜からは、外部接続用の複数のパッドPが露出している。また、親チップ10の表面の内方の領域には、子チップ20の接合領域が設定されており、この接合領域には、たとえば金などの耐酸化性を有する金属材料からなる複数のパンプ11が隆起して形成されている。

【0015】一方、子チップ20の最表面も、たとえば窒化膜などからなる保護膜で覆われている。この保護膜上には、親チップ10のパンプ11に対応する位置に、たとえば金などの耐酸化性を有する金属材料からなる複数のパンプ21が形成されていて、これらのパンプ21をそれぞれ対応する親チップ10のパンプ11に結合させることにより、子チップ20が親チップ10上に所定間隔を保持した状態で支持されるとともに、親チップ10と子チップ20との電気接続が達成されるようになっている。

【0016】さらに、親チップ10および子チップ20の表面には、それぞれアライメント用マーク12、22が互に対応する位置に形成されている。アライメント用マーク12、22は、たとえば、2個ずつ設けられており、子チップ20を親チップ10に設定されている接合位置に正しく接合させたときに、互に対応するマーク同士が対向し合う位置に配置されている。なお、アライメント用マーク12、22は、それぞれパンプ11、21と同じ材料で形成されることが好ましく、こうする

ことにより、パンプ11、21とアライメント用マーク12、22とを同一の工程で形成できる。

【0017】また、アライメント用マーク12、22は、それぞれ親チップ10および子チップ20の対角線上に離して配置されることが好ましく、こうすることにより、後述するアライメント工程において、親チップ10と子チップ20とをより精度良くアライメントすることができる。さらに、アライメント用マーク12、22は、パッドPから明らかに区別され得る形状であればよく、図1に示すような「+」形（十字形）の他に、たとえば「・」（点または丸印）を採用することもできる。また、アライメント用マーク12、22は、「L」形（L字形）や「T」形（T字形）などの少なくとも方向性を有するマークであることが好ましく、このような形状のマークが採用された場合には、アライメント用マーク12、22はそれぞれ1個であってもよい。

【0018】さらにまた、アライメント用マーク12、22が複数個ずつ設けられる場合において、複数のアライメント用マーク12がすべて同一形状のマークである必要はないし、複数のアライメント用マーク22がすべて同一形状のマークである必要もない。図2は、親チップ10および子チップ20の接合工程について説明するための図解的な側面図である。親チップ10および子チップ20の接合工程においては、まず、図2(a)に示すように、位置調整台30上に、親チップ10が表面を上に向けた状態にセットされるとともに、吸着ハンド40によって、子チップ20が親チップ10の上方に搬送されてくる。位置調整台30は、上面にセットされた親チップ10の位置を、xy方向（図2における前後左右方向）およびθ方向（鉛直線まわりの回転方向）に微調整できるように構成されている。吸着ハンド40は、先端面（下端面）に形成された吸着孔（図示せず）で子チップ20の裏面を吸着して保持できるものであり、この吸着ハンド40によって搬送されてくる子チップ20は、位置調整台30の上方で、その表面を親チップ10の表面に対向した状態にされる。

【0019】この後、位置調整台30上にセットされた親チップ10と吸着ハンド40に吸着保持された子チップ20との間に、親チップ10および子チップ20の表面を同時に撮像可能な撮像装置50が挿入される。この撮像装置50の構成は、図3に図解的に示されている。すなわち、撮像装置50には、光学系収容ケース51と、この光学系収容ケース51に結合された上方撮像用カメラ52Uおよび下方撮像用カメラ52Bとが備えられている。光学系収容ケース51は、ほぼ直方体状に形成されており、互いに対向する一対の表面51a、51bには、それぞれレンズ53、54が表面51a、51bに直交する同一光軸線C上に配置されている。表面（上面）51aに配置されたレンズ53に入射した光L1は、両面ミラー55の一方面で反射されて光路が約9

0度曲げられた後、レンズ56を通してミラー57に到達し、このミラー57で光路がさらに曲げられることによって、上方撮像用カメラ52Uに入射するようになっている。一方、表面（下面）51bに配置されたレンズ54に入射した光L2は、両面ミラー55の他方面で反射されて光路が光L2と逆方向に曲げられた後、レンズ58を通してミラー59に到達し、このミラー59で光路がさらに曲げられることによって、下方撮像用カメラ52Bに入射するようになっている。

【0020】この構成により、光学系収容ケース51の上面51aが子チップ20の表面に対向し、光学系収容ケース51の下面51bが親チップ10の表面に対向するように、撮像装置50を親チップ10と子チップ20との間に挿入することにより、親チップ10および子チップ20の表面を同時に撮像することができる。次いで、こうして得られる親チップ10および子チップ20の表面の像が画像処理されて、親チップ10の表面に配置されたアライメント用マーク12および子チップ20の表面に配置されたアライメント用マーク22の位置が検出される。そして、その検出結果に基づいて位置調整台30が制御されて、アライメント用マーク12とアライメント用マーク22とが対向し合うように、子チップ20に対する親チップ10の位置が調整されることにより、親チップ10と子チップ20とのアライメントが達成される。

【0021】こうして親チップ10と子チップ20とがアライメントされた後、図2(b)に示すように、吸着ハンド40が下降されて、子チップ20のパンプ21が親チップ10のパンプ11に突き合わされ、さらに子チップ20が親チップ10に向けて押し付けられることにより、親チップ10と子チップ20とが接合される。なお、子チップ20を親チップ10に近接させる工程は、親チップ10と子チップ20との位置合わせの後に行われてもよいが、この位置合わせと同時に進められてもよい。

【0022】以上のようにこの実施形態によれば、親チップ10および子チップ20の表面には、それぞれアライメント用マーク12、22が、子チップ20を親チップ10に正しく接合させたときに互いに対向し合う位置に配置されている。したがって、アライメント用マーク12とアライメント用マーク22とが対向し合うように、子チップ20に対する親チップ10の位置を調整することにより、親チップ10と子チップ20とを精度良くアライメントすることができる。

【0023】また、親チップ10の表面と子チップ20の表面とを別々の撮像装置で撮像し、これにより得られるアライメント用マーク12、22の像に基づいて、親チップ10と子チップ20とのアライメントを行う場合、親チップ10の表面を撮像した撮像装置のレンズ位置と子チップ20の表面を撮像した撮像装置のレンズ位

10

20

30

40

50

置とにずれがあると、このずれのために、親チップ 10 と子チップ 20 とのアライメントに誤差を生じるおそれがある。これに対し、この実施形態によれば、撮像装置 50 のレンズ 53、54 が同一の光軸 C 上に配置されているので、レンズの位置ずれに起因したアライメント誤差を生じるおそれがなく、親チップ 10 と子チップ 20 とをより精度良くアライメントすることができる。

【0024】この発明の実施の形態の説明は以上の通りであるが、この発明は、他の形態で実施することも可能である。たとえば、上述の実施形態では、子チップ 20 に対する親チップ 10 の位置が調整されて、親チップ 10 と子チップ 20 とのアライメントが達成されたとしたが、親チップ 10 に対する子チップ 20 の位置が調整されることにより、親チップ 10 と子チップ 20 とのアライメントが達成されてもよい。

【0025】また、上述の実施形態では、チップ・オン・チップ構造を取り上げたが、この発明は、半導体チップの表面を配線基板（固体装置）に対向させて接合する*

* フリップ・チップ・ボンディング構造にも適用できる。その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図 1】この発明の一実施形態に係る半導体装置の分解斜視図である。

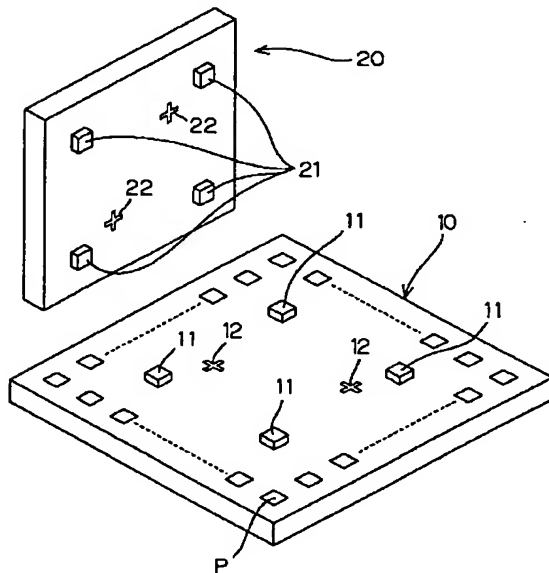
【図 2】親チップおよび子チップの接合工程について説明するための図解的な側面図である。

【図 3】撮像装置の構成を図解的に示す図である。

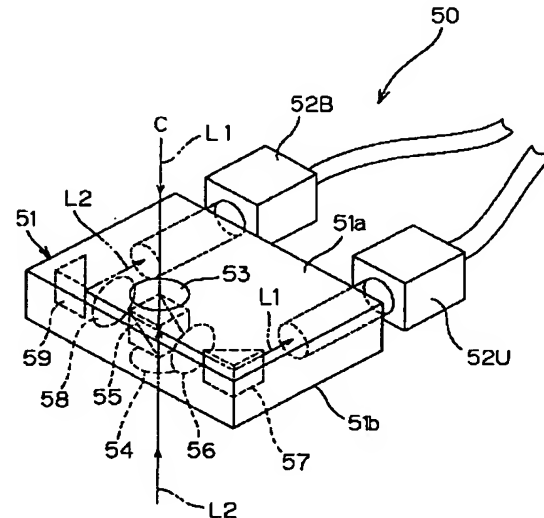
【符号の説明】

- 10 親チップ（固体装置）
- 12 アライメント用マーク
- 20 子チップ（半導体チップ）
- 22 アライメント用マーク
- 50 撮像装置（撮像手段）
- 53 レンズ
- 54 レンズ
- C 光軸

【図 1】



【図 3】



(6)

特開2001-217387

【図2】

